

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-247849
 (43)Date of publication of application : 30.08.2002

(51)Int.CI. H02M 3/28

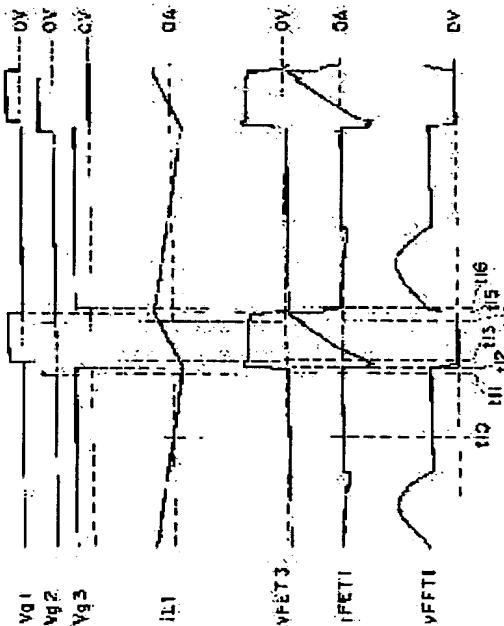
(21)Application number : 2001-045308 (71)Applicant : TDK CORP
 (22)Date of filing : 21.02.2001 (72)Inventor : HATTA SHOJI
 SHIMIZU KATSUHIKO
 WATANABE MASATO

(54) SWITCHING POWER SUPPLY UNIT AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a current mode-controlled switching power supply unit and a driving method therefor wherein spike waveform of current signals is effectively prevented without increase in a number of elements.

SOLUTION: The switching power supply unit is provided with a switch circuit that includes a first transistor 3 and converts direct-current input into alternating currents; a transformer 2 for transforming the voltage of the alternating currents; an output rectifying portion 7 that includes a second transistor 5 connected in series with the transformer 2, and a third transistor 6 connected in parallel with the transformer 2 and rectifies the output of the transformer 2; and a control circuit 11 for controlling turn-on and -off of the first through third transistors 3, 5, and 6 by current mode control. The control circuit 11 turns on the second transistor 5 before turning off the third transistor 6 and turning on the first transistor 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-247849

(P2002-247849A)

(43) 公開日 平成14年8月30日(2002.8.30)

(51) Int. C1. 7

H 02M 3/28

識別記号

F I

H 02M 3/28

マーク(参考)

H 5H730

F

S

審査請求 未請求 請求項の数 4

O L

(全6頁)

(21) 出願番号 特願2001-45308(P2001-45308)

(22) 出願日 平成13年2月21日(2001.2.21)

(71) 出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72) 発明者 八田 昌治

東京都中央区日本橋一丁目13番1号 ティ
ーディーケイ株式会社内

(72) 発明者 清水 克彦

東京都中央区日本橋一丁目13番1号 ティ
ーディーケイ株式会社内

(74) 代理人 100078031

弁理士 大石 翔一 (外1名)

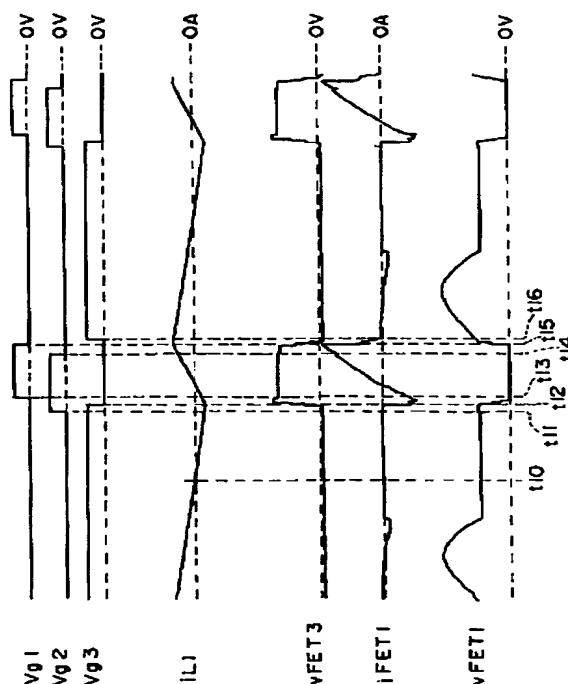
最終頁に続く

(54) 【発明の名称】スイッチング電源装置及びその駆動方法

(57) 【要約】

【課題】 電流モード制御を行うスイッチング電源装置及びその駆動方法において、素子数を増大させることなく電流信号のスパイク波形を効果的に防止することができるスイッチング電源装置及びその駆動方法を提供する。

【解決手段】 第1のトランジスタ3を含み直流入力を交流に変換するスイッチ回路と、交流を変圧するトランジスタ2と、トランジスタ2に対して直列に接続された第2のトランジスタ5及びトランジスタ2に対して並列に接続された第3のトランジスタ6を含みトランジスタ2の出力を整流する出力整流部7と、電流モード制御により第1乃至第3のトランジスタ3、5、6のオン／オフを制御する制御回路11とを備えており、制御回路11は第3のトランジスタ6をターンオフし第1のトランジスタ3をターンオンする際に、あらかじめ第2のトランジスタ5をターンオンさせる。



【特許請求の範囲】

【請求項1】 少なくとも第1のスイッチ手段を含み直流入力を交流に変換するスイッチ回路と、前記交流を変圧する変圧器と、少なくとも前記変圧器に対して直列に接続された第2のスイッチ手段及び前記変圧器に対して並列に接続された第3のスイッチ手段を含み前記変圧器の出力を整流する出力整流部と、電流モード制御により前記第1乃至第3のスイッチ手段のオン／オフを制御する制御手段とを備え、前記制御手段が、前記第3のスイッチ手段をターンオフし前記第1のスイッチ手段をターンオンする際に、あらかじめ前記第2のスイッチ手段をターンオンさせることを特徴とするスイッチング電源装置。

【請求項2】 少なくとも第1のスイッチ手段を含み直流入力を交流に変換するスイッチ回路と、前記交流を変圧する変圧器と、少なくとも前記変圧器に対して直列に接続された第2のスイッチ手段及び前記変圧器に対して並列に接続された第3のスイッチ手段を含み前記変圧器の出力を整流する出力整流部と、少なくとも前記変圧器に対して直列に接続されたチョークコイル及び前記変圧器に対して並列に接続された平滑コンデンサを含み前記出力整流部の出力を平滑する出力平滑部と、電流モード制御により前記第1乃至第3のスイッチ手段のオン／オフを制御する制御手段とを備え、前記制御手段が、前記チョークコイルからの反転電流が前記第3のスイッチ手段に流れている状態において前記第2のスイッチ手段をターンオンし、次いで、前記第3のスイッチ手段をターンオフさせることを特徴とするスイッチング電源装置。

【請求項3】 前記電流モード制御が、前記変圧器に流れる電流量を示す情報と、前記出力平滑部の出力電圧値を示す情報を少なくとも用いて前記第1乃至第3のスイッチ手段のオン／オフを制御するものであることを特徴とする請求項2に記載のスイッチング電源装置。

【請求項4】 少なくとも第1のスイッチ手段を含み直流入力を交流に変換するスイッチ回路と、前記交流を変圧する変圧器と、少なくとも前記変圧器に対して直列に接続された第2のスイッチ手段及び前記変圧器に対して並列に接続された第3のスイッチ手段を含み前記変圧器の出力を整流する出力整流部と、少なくとも前記変圧器に対して直列に接続されたチョークコイル及び前記変圧器に対して並列に接続された平滑コンデンサを含み前記出力整流部の出力を平滑する出力平滑部とを備えるスイッチング電源装置の駆動方法であって、前記変圧器に流れる電流量を示す情報と、前記出力平滑部の出力電圧値を示す情報を少なくとも用いて制御信号を生成し、前記制御信号に基づいて前記第2のスイッチ手段をターンオンさせ、次に前記第3のスイッチ手段をターンオフさせ、次に前記第1のスイッチ手段をターンオンさせることを特徴とするスイッチング電源装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、スイッチング電源装置及びその駆動方法に関し、さらに詳細には、出力整流部にスイッチ素子を用い電流モード制御を行う同期整流型スイッチング電源装置及びその駆動方法に関する。

【0002】

【従来の技術】 従来より、スイッチング電源装置として、いわゆるDC／DCコンバータが知られている。代表的なDC／DCコンバータは、スイッチング回路を用いて直流入力を一旦交流に変換した後、トランスを用いてこれを変圧（昇圧または降圧）し、さらに、出力回路を用いてこれを直流に変換する装置であり、これによって入力電圧とは異なる電圧を持った直流出力を得ることができる。

【0003】 ここで、DC／DCコンバータに用いられる出力整流部にトランジスタ等のスイッチ素子が用いられ、入力側のスイッチング回路と同期制御されることがある。このような出力整流部を有するDC／DCコンバータは、一般に同期整流型スイッチング電源装置と呼ばれる。

【0004】 図1は、電流モード制御が行われる一般的な同期整流型スイッチング電源装置を示す回路図である。

【0005】 図1に示されるように、この種の同期整流型スイッチング電源装置は、直流入力電源1の正側端子に1次巻線が接続されたトランス2と、直流入力電源1の負側端子とトランス2の1次巻線との間に直列に接続された第1のトランジスタ3及び抵抗20と、直流入力電源1の両端間に接続された入力コンデンサ4と、第2のトランジスタ5及び第3のトランジスタ6からなりトランス2の2次巻線に現れる波形を整流する出力整流部7と、チョークコイル8及び平滑コンデンサ9からなり出力整流部7の出力を平滑する出力平滑部10と、出力電圧V_oに基づき制御信号Cを生成する制御回路11と、制御信号Cにそれぞれ所定の遅延を与えるタイミング調整器12～14と、タイミング調整器12の出力に基づいて第1のトランジスタ3のゲートに供給される第1のゲート信号V_{g1}を生成するバッファ15と、タイミング調整器13の出力に基づいて第2のトランジスタ4のゲートに供給される第2のゲート信号V_{g2}を生成するバッファ16と、タイミング調整器14の出力に基づいて第3のトランジスタ6のゲートに供給される第3のゲート信号V_{g3}を生成するインバータ17とを備える。出力平滑部10の出力は駆動すべき負荷18に接続されている。

【0006】 ここで、抵抗20は、第1のトランジスタ3に流れる電流I_{FET1}を電圧値として取り出すために用いられ、取り出された電圧値は電流信号Sとして制御回路11に供給される。

【0007】 図2は、制御信号Cの生成方法を示すタイ

ミング図である。

【0008】図2に示されるように、制御回路11の内部では、出力電圧V_o及び電流信号Sとの比較が行われ、内部クロックに応答して制御信号Cが立ち上げられるとともに、電流信号Sの値が出力電圧V_oに達したタイミングにてこれが立ち下げられる。これにより、出力電圧V_o及び電流信号Sに基づいて制御信号Cのデューティーが制御される。このように、出力電圧V_oと電流信号Sの比較に基づいて制御信号Cのデューティを設定する方法は、一般に「電流モード制御」と呼ばれる。

【0009】

【発明が解決しようとする課題】しかしながら、図2に示されるように、負荷18が重く出力電流I_oが大きい場合には、出力電圧V_oと電流信号Sとの正しい比較が行われるもの、図3に示されるように、負荷18が軽く出力電流I_oが小さい場合には、第3のトランジスタ6が持つ寄生容量への放電電流や、第3のトランジスタ6が持つ寄生ダイオードのリカバリ電流によるスパイク電流が電流信号Sの実際のピーク値を上回ることがある。この場合、制御信号Cは、かかるスパイク電流に応答して立ち下げられることになり、正しいデューティーが得られなくなってしまう。特に、この種の同期整流型スイッチング電源装置においては、出力整流部7の損失を低減させるため、第2のトランジスタ5や第3のトランジスタ6として複数個のトランジスタを並列接続したものが使用されることが多く、この場合にはかかるスパイク電流はいっそう顕著となる。

【0010】これを解決するために、ローパスフィルタによって電流信号Sからスパイク波形を除去することが考えられるが、この方法によれば素子数が増大するばかりでなく、電流信号Sの波形に歪みを生じさせて、制御回路11による正確な制御が妨げられるという問題が生じてしまう。

【0011】したがって、本発明の目的は、電流モード制御を行うスイッチング電源装置及びその駆動方法において、素子数を増大させることなく電流信号のスパイク波形を効果的に防止することのできるスイッチング電源装置及びその駆動方法を提供することである。

【0012】

【課題を解決するための手段】本発明のかかる目的は、少なくとも第1のスイッチ手段を含み直流入力を交流に変換するスイッチ回路と、前記交流を変圧する変圧器と、少なくとも前記変圧器に対して直列に接続された第2のスイッチ手段及び前記変圧器に対して並列に接続された第3のスイッチ手段を含み前記変圧器の出力を整流する出力整流部と、電流モード制御により前記第1乃至第3のスイッチ手段のオン／オフを制御する制御手段とを備え、前記制御手段が、前記第3のスイッチ手段をターンオフさせることを特徴とするスイッチング電源装置である。

せることを特徴とするスイッチング電源装置によって達成される。

【0013】本発明の前記目的はまた、少なくとも第1のスイッチ手段を含み直流入力を交流に変換するスイッチ回路と、前記交流を変圧する変圧器と、少なくとも前記変圧器に対して直列に接続された第2のスイッチ手段及び前記変圧器に対して並列に接続された第3のスイッチ手段を含み前記変圧器の出力を整流する出力整流部と、少なくとも前記変圧器に対して直列に接続されたチョークコイル及び前記変圧器に対して並列に接続された平滑コンデンサを含み前記出力整流部の出力を平滑する出力平滑部と、電流モード制御により前記第1乃至第3のスイッチ手段のオン／オフを制御する制御手段とを備え、前記制御手段が、前記チョークコイルからの反転電流が前記第3のスイッチ手段に流れている状態において前記第2のスイッチ手段をターンオンし、次いで、前記第3のスイッチ手段をターンオフさせることを特徴とするスイッチング電源装置によって達成される。

【0014】本発明の好ましい実施態様においては、前記電流モード制御が、前記変圧器に流れる電流量を示す情報と、前記出力平滑部の出力電圧値を示す情報とを少なくとも用いて前記第1乃至第3のスイッチ手段のオン／オフを制御するものである。

【0015】本発明の前記目的はまた、少なくとも第1のスイッチ手段を含み直流入力を交流に変換するスイッチ回路と、前記交流を変圧する変圧器と、少なくとも前記変圧器に対して直列に接続された第2のスイッチ手段及び前記変圧器に対して並列に接続された第3のスイッチ手段を含み前記変圧器の出力を整流する出力整流部と、少なくとも前記変圧器に対して直列に接続されたチョークコイル及び前記変圧器に対して並列に接続された平滑コンデンサを含み前記出力整流部の出力を平滑する出力平滑部とを備えるスイッチング電源装置の駆動方法であって、前記変圧器に流れる電流量を示す情報と、前記出力平滑部の出力電圧値を示す情報とを少なくとも用いて制御信号を生成し、前記制御信号に基づいて前記第2のスイッチ手段をターンオンさせ、次に前記第3のスイッチ手段をターンオフさせ、次に前記第1のスイッチ手段をターンオンさせることを特徴とするスイッチング電源装置の駆動方法によって達成される。

【0016】以上説明した本発明にかかるスイッチング電源装置及びその駆動方法によれば、電流モード制御による第1乃至第3のスイッチ素子のオン／オフ制御を正しく行うことができる。しかも、第3のスイッチ素子間にフライバック電圧が発生しないので、素子の破壊を防止することができるとともに、第3のスイッチ手段として高耐圧のスイッチ手段を用いる必要がなくなる。さらに、第1のスイッチ手段がターンオンする際、その両端間の電圧が低下していることから、第1のスイッチ手段によるスイッチング損失を低減することができる。

【0017】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の好ましい実施態様について詳細に説明する。

【0018】本実施態様にかかるスイッチング電源装置は、図1に示したスイッチング電源装置と同様の回路構成を備えている。したがって、具体的な構成は上述したとおりであり、重複する説明は省略する。但し、以下に詳述するように、タイミング調整器12～14が有する遅延特性が従来とは異なっている。

【0019】図4は、本実施態様にかかるスイッチング電源装置の駆動方法を示すタイミングチャートである。

【0020】図4に示されるように、本実施態様にかかるスイッチング電源装置の駆動方法においては、第1のトランジスタ3をオフからオンに変化させ、第3のトランジスタ6をオンからオフに変化させる際には、まず、第2のゲート信号Vg2をハイレベルに変化させることによって第2のトランジスタ5をオンさせ（時刻t11）、次いで、第3のゲート信号Vg3をローレベルに変化させることによって第3のトランジスタ6をオフさせ（時刻t12）、最後に、第1のゲート信号Vg1をハイレベルに変化させることによって第1のトランジスタ3をオンさせる（時刻t13）。一方、第1のトランジスタ3をオンからオフに変化させ、第3のトランジスタ6をオフからオンに変化させる際には、まず、第2のゲート信号Vg2をローレベルに変化させることによって第2のトランジスタ5をオフさせ（時刻t14）、次いで、第1のゲート信号Vg1をローレベルに変化させることによって第1のトランジスタ3をオフさせ（時刻t15）、最後に、第3のゲート信号Vg3をハイレベルに変化させることによって第3のトランジスタ6をオフさせる（時刻t16）。

【0021】すなわち、タイミング調整器12～14は、第1～第3のゲート信号Vg1～Vg3が上述したタイミングとなるように、その遅延量が設定されている。

【0022】図5は、タイミング調整器12～14の内部構成を具体的に示す回路図である。

【0023】図5に示されるように、タイミング調整器12～14は、抵抗21及び22と、ダイオード23及び24と、コンデンサ25とを備える双方向の時定数回路であり、抵抗21及び22の抵抗値を適切な値に設定することによって、制御信号Cの立ち上がりエッジに対する遅延量と、制御信号Cの立ち下がりエッジに対する遅延量とをそれぞれ独立に設定することができる。

【0024】一方、制御信号Cは、上述のとおり、制御回路11の内部において出力電圧Vo及び電流信号Sとの比較に基づいて生成される。すなわち、制御回路11の内部においては、内部クロックに応答して制御信号Cが立ち上げられるとともに、電流信号Sの値が出力電圧Voに達したタイミングにて立ち下げられ、これにより

出力電圧Vo及び電流信号Sに基づいて制御信号Cのデューティーが制御される。上述のとおり、出力電圧Voと電流信号Sの比較に基づいて制御信号Cのデューティーを設定する方法は、一般に「電流モード制御」と呼ばれる。

【0025】次に、図4を参照しながら、本実施態様にかかるスイッチング電源装置の各部分における電圧や電流の変化について、詳細に説明する。

【0026】まず、負荷18が軽く出力電流Ioが小さい場合、図4に示されるように、チョーク電流iLは第1のトランジスタ3がオフしている期間（時刻t15から次の時刻t13まで）の所定のタイミング（時刻t10）において反転する。この場合、かかる反転電流は、オン状態にある第3のトランジスタ6を介して流れる。

【0027】次に、第3のトランジスタ6に反転電流が流れている状態で、第2のトランジスタ5がターンオンすると（時刻t11）、この時点では、トランス2は第3のトランジスタ6で短絡されているので、トランス2の2次巻線及び第2のトランジスタ5の経路には電流は流れず、反転電流は全て第3のトランジスタ6を経由して流れる。

【0028】このような状態において、第3のトランジスタ6がターンオフすると（時刻t12）、反転電流はトランス2の2次巻線及び第2のトランジスタ5からなる電流経路を経由して流れはじめる。このため、ターンオフした第3のトランジスタ6の両端間にフライバック電圧は発生しない。このとき、トランス2の2次巻線に流れる電流は、トランス2の1次側にも伝送され、これにより、第1のトランジスタ3の寄生容量が放電される。

【0029】図6は、第1のトランジスタ3に含まれる寄生成分を示す等価回路図である。

【0030】図6に示されるように、第1のトランジスタ3は寄生容量26～28及び寄生ダイオード29を有しており、上述のように、第1のトランジスタ3がターンオフすると、充電状態にある寄生容量26及び27が放電されるとともに、寄生ダイオード29を介して電流が流れることになる。これにより、第1のトランジスタ3の両端間の電圧vFET1は、図3に示されるように急速に低下し、実質的にゼロとなる。寄生容量26及び27及び寄生ダイオード29を流れる電流は、直流入力電源1へ回生される。

【0031】そして最後に第1のトランジスタ3がターンオンすることにより（時刻t13）、トランス2の1次巻線が励磁され、インダクタ電流iLが増加はじめる。第1のトランジスタ3がターンオンする際、第1のトランジスタ3には負の極性の電流が流れしており、2次側に流れる電流と差し引きされ、スパイク状の電流は発生しなくなる。このとき、上述のとおり、第1のトランジスタ3の両端間の電圧vFET1は実質的にゼロとな

ついているので、ZVS (Zero Voltage Switching) の条件が満たされており、スイッチング損失及びスイッチングノイズは非常に小さい。

【0032】図7は、本実施態様における制御信号Cの生成方法を示すタイミング図である。

【0033】図7に示されるように、本実施態様においては、電流信号Sにスパイク波形が含まれていないことから、出力電圧V_oと電流信号Sとの正しい比較を行うことができ、これにより、適切なデューティーを持った制御信号Cが生成されることになる。

【0034】このように、本実施態様によれば、電流信号Sにスパイク波形が含まれていないことから、適切なデューティーを持った制御信号Cを生成することができる。しかも、本実施態様によれば、第3のトランジスタ6にフライバック電圧が発生しないので、素子の破壊を防止することができるとともに、第3のトランジスタ6として高耐圧のトランジスタを用いる必要がなくなる。さらに、第1のトランジスタ3がターンオンする際、ZVSの条件が実質的に満たされるので、第1のトランジスタ3によるスイッチング損失とスイッチングノイズを低減することができる。

【0035】本発明は、以上の実施態様に限定されることはなく、特許請求の範囲に記載された発明の範囲内で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0036】例えば、上記実施態様においては、制御信号Cをタイミング調整器12～14に対して共通に供給し、これらタイミング調整器12～14が有する遅延特性を用いて図4に示した第1～第3のゲート信号V_{g1}～V_{g3}の波形を得ているが、このようなタイミング調整器12～14を用いることなく、制御回路11によって図4に示した波形を有する第1～第3のゲート信号V_{g1}～V_{g3}を直接生成しても構わない。

【0037】また、上記実施態様においては、電流信号Sを第1のトランジスタ3と直流入力電源1の負側端子との間ににおいて検出しているが、電流信号Sの検出箇所としては当該箇所に限定されず、例えば、トランジスタ2の1次巻線や2次巻線を流れる電流を検出することによって電流信号Sを生成しても構わない。

【0038】

【発明の効果】以上説明したように、本発明によれば、

電流モード制御を行うスイッチング電源装置及びその駆動方法において、素子数を増大させることなく電流信号のスパイク波形を効果的に防止することのできるスイッチング電源装置及びその駆動方法が提供される。

【図面の簡単な説明】

【図1】一般的な同期整流型スイッチング電源装置を示す回路図である。

【図2】従来における、負荷18が重い場合の制御信号Cの生成方法を示すタイミング図である。

10 【図3】従来における、負荷18が軽い場合の制御信号Cの生成方法を示すタイミング図である。

【図4】本発明の好ましい実施態様にかかるスイッチング電源装置の駆動方法を示すタイミングチャートである。

【図5】タイミング調整器12～14の内部構成を具体的に示す回路図である。

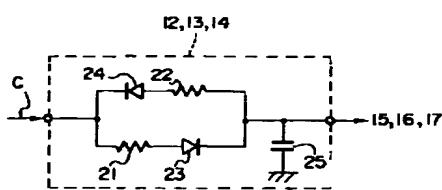
【図6】第1のトランジスタ3に含まれる寄生成分を示す等価回路図である。

20 【図7】本発明の好ましい実施態様における制御信号Cの生成方法を示すタイミング図である。

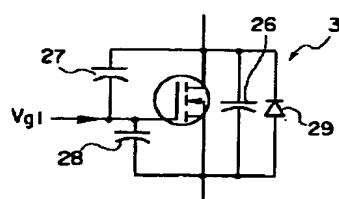
【符号の説明】

- 1 直流入力電源
- 2 トランジスタ
- 3 第1のトランジスタ
- 4 入力コンデンサ
- 5 第2のトランジスタ
- 6 第3のトランジスタ
- 7 出力整流部
- 8 チョークコイル
- 9 平滑コンデンサ
- 10 出力平滑部
- 11 制御回路
- 12～14 タイミング調整器
- 15, 16 バッファ
- 17 インバータ
- 18 負荷
- 20～22 抵抗
- 23, 24 ダイオード
- 25 コンデンサ
- 30 40 26～28 寄生容量
- 29 寄生ダイオード

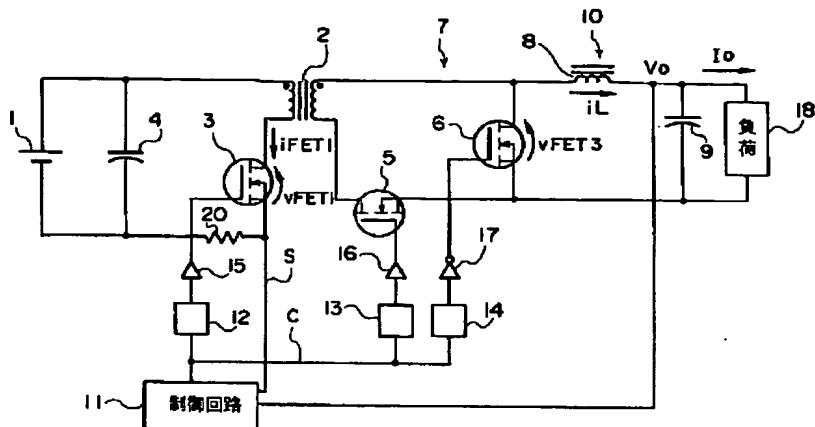
【図5】



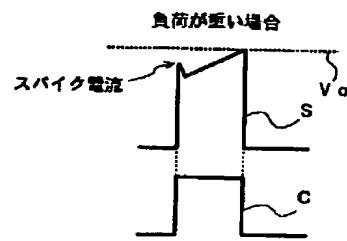
【図6】



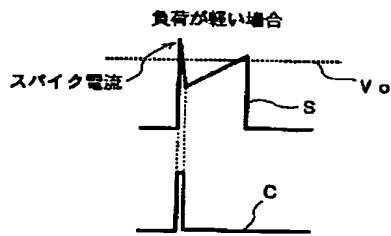
【図1】



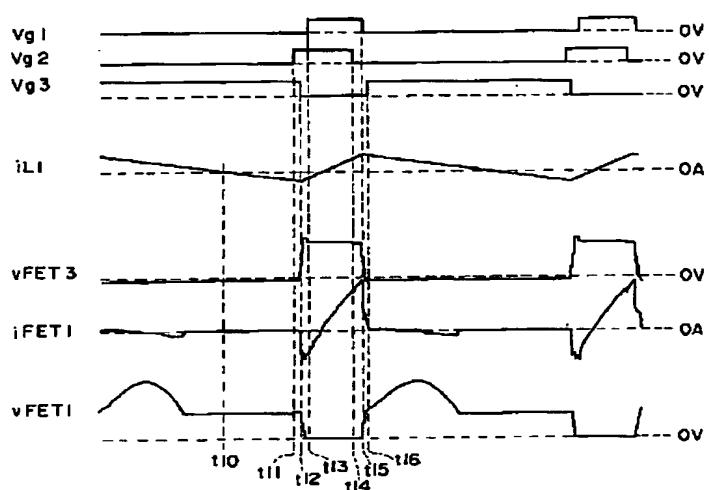
【図2】



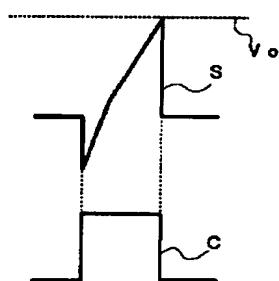
【図3】



【図4】



【図7】



フロントページの続き

(72)発明者 渡辺 正人

東京都中央区日本橋一丁目13番1号 ティ
ーディーケイ株式会社内

F ターム(参考) 5H730 AA14 AA15 AA20 BB23 DD04

EE13 FD01 FG05 FG23 FV03